

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150236

(43)Date of publication of application : 02.06.1999

(51)Int.Cl. H01L 27/04  
H01L 21/822  
H01L 29/78

[illegible]

(30)Priority

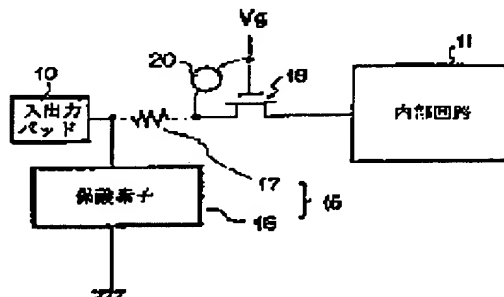
Priority number : 09248271      Priority date : 12.09.1997      Priority country : JP

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent breakdown of the gate insulating film of an MIS transistor with the MIS transistor as a transfer gate.

**SOLUTION:** A clamp element 20 is connected to a transfer gate 18 for preventing the gate insulating film of a the transfer gate 18 from being broken on a device electrification model test. As the clamp element 20, a bipolar transistor or a an MOS transistor with a thick gate insulating film may be used.



## LEGAL STATUS

[Date of request for examination] 11.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3161600

[Date of registration] 23.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150236

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/04  
21/822  
29/78

H 0 1 L 27/04  
29/78

H  
3 0 1 K

審査請求 有 請求項の数14 O L (全 6 頁)

(21) 出願番号 特願平10-258992

(22) 出願日 平成10年(1998) 9月11日

(31) 優先権主張番号 特願平9-248271

(32) 優先日 平9 (1997) 9月12日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤井 威男

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 成田 薫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 堀口 洋子

東京都港区芝五丁目7番1号 日本電気株式会社内

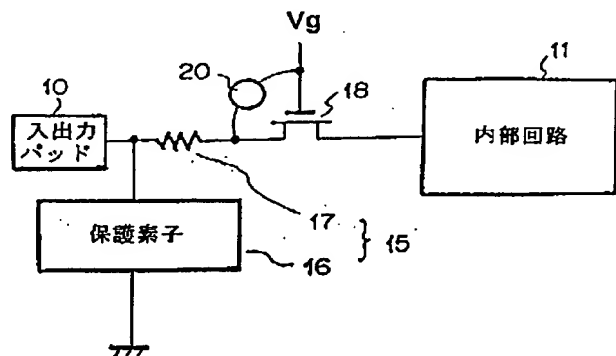
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 M I S トランジスタをトランスファゲートとして備えた半導体集積回路において、M I S トランジスタのゲート絶縁膜の破壊を防止する。

【解決手段】 トランスファゲート18にクランプ素子20を接続することにより、デバイス帯電モデル試験の際におけるトランスファゲート18のゲート絶縁膜の破壊を防止する。クランプ素子20としては、バイポーラトランジスタを使用しても良いし、ゲート絶縁膜の厚いM O S トランジスタを使用しても良い。



## 【特許請求の範囲】

【請求項1】 入出力パッドと、前記入出力パッドに接続された保護回路と、前記保護回路に接続されたトランスファゲートと、前記トランスファゲートに接続された内部回路とを直列接続した半導体集積回路であって、前記トランスファゲートに、クランプ素子を接続することを特徴とする半導体集積回路。

【請求項2】 前記保護回路は、抵抗と保護素子とを含み、

前記入出力パッドに抵抗を接続し、

前記入出力パッドと前記抵抗との接続点に前記保護素子の一端を接続し、前記前記保護素子の他端を接地することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記トランスファゲートは、MISトランジスタ又はMOSトランジスタであり、前記クランプ素子を、前記トランスファゲートのゲートと、前記トランスファゲートのソース又はドレインのいずれか一方とに接続することを特徴とする請求項1記載の半導体集積回路。

【請求項4】 前記ゲートを、外部電源、内部電源、又はクロック回路の内のいずれかに接続することを特徴とする請求項3記載の半導体集積回路。

【請求項5】 前記クランプ素子は、バイポーラトランジスタであり、前記バイポーラトランジスタのエミッタ又はコレクタの一方を前記トランスファゲートのゲートに接続し、前記バイポーラトランジスタのエミッタ又はコレクタの他方を前記トランスファゲートのソース又はドレインのいずれかに接続することを特徴とする請求項3記載の半導体集積回路。

【請求項6】 前記クランプ素子は、前記トランスファゲートのゲート酸化膜より厚いゲート絶縁膜を有する他のMIS又はMOSトランジスタであり、前記他のMIS又はMOSトランジスタのソース又はドレインの一方を前記トランスファゲートのゲートとに接続し、前記他のMIS又はMOSトランジスタのソース又はドレインの他方を前記トランスファゲートのソース又はドレインのいずれかに接続することを特徴とする請求項3記載の半導体集積回路。

【請求項7】 入出力パッドと、前記入出力パッドに接続された抵抗と、前記抵抗に接続されたトランスファゲートと、前記トランスファゲートに接続された保護回路と、前記保護回路に接続された内部回路とを直列接続した半導体集積回路であって、

前記トランスファゲートは、MOSトランジスタ又はMISトランジスタであり、前記トランスファゲートに、クランプ素子を接続することを特徴とする半導体集積回路。

【請求項8】 前記クランプ素子は、バイポーラトラン

ジスタであり、前記バイポーラトランジスタのエミッタ又はコレクタの一方を前記トランスファゲートのソース又はドレインのいずれかに接続し、前記バイポーラトランジスタのエミッタ又はコレクタの他方を前記トランスファゲートのゲートに接続することを特徴とする請求項7記載の半導体集積回路。

【請求項9】 前記クランプ素子は、前記トランスファゲートのゲート酸化膜より厚いゲート酸化膜を有する他のMIS又はMOSトランジスタであることを特徴とする請求項7記載の半導体集積回路。

【請求項10】 前記クランプ素子のソース又はドレインの一方を、前記トランスファゲートのソース又はドレインのいずれかに接続し、前記クランプ回路のソース又はドレインの他方を前記トランスファゲートのゲートに接続することを特徴とする請求項9記載の半導体集積回路。

【請求項11】 前記トランスファゲートは、第1NMOSトランジスタであり、前記クランプ素子を、前記第1NMOSトランジスタのソースとゲートとに接続し、前記第1NMOSトランジスタのゲートを接地し、前記第1NMOSトランジスタのドレインを、第2NMOSトランジスタのゲートに接続し、前記第2NMOSトランジスタのソースを、前記第1NMOSトランジスタのソースに接続し、前記2NMOSトランジスタのドレインを、内部電源又は外部電源に接続し、前記第2NMOSトランジスタのソースを、第3NMOSトランジスタのドレインに接続し、前記第3NMOSトランジスタのソースを接地することを特徴とする請求項7記載の半導体集積回路。

【請求項12】 前記保護回路は、他の抵抗と、MOSトランジスタとを含み、前記他の抵抗の一端を前記トランスファゲートに接続し、前記他の抵抗の他端を前記内部回路に接続し、前記他の抵抗の他端をMOSトランジスタのソース又はドレインの一方に接続し、前記MOSトランジスタのソース又はドレインの他方を接地することを特徴とする請求項7記載の半導体集積回路。

【請求項13】 入出力パッドと、前記入出力パッドと互いに離間して配置されたMOSトランジスタ(28)を有し、前記MOSトランジスタ(28)のゲートは、配線を介して前記入出力パッドに接続され、前記MOSトランジスタ(28)のソース又はドレインの一方は、外部電源、内部電源、又は接地電位のいずれかに接続された半導体集積回路であって、バイポーラトランジスタ(29)が前記MOSトランジスタ(28)に隣接して設けられ、前記バイポーラトランジスタ(29)のエミッタ又はコレクタの一方を前記MOSトランジスタ(28)のゲ

トに接続し、

前記バイポーラトランジスタ（29）のエミッタ又はコレクタの他方を前記MOSトランジスタ（28）のソース又はドレインの前記一方に接続することを特徴とする半導体集積回路。

【請求項14】 入出力パッドと、前記入出力パッドと互いに離間して配置されたMOSトランジスタ（28）を有し、前記MOSトランジスタ（28）のゲートは、配線を介して前記入出力パッドに接続され、前記MOSトランジスタ（28）のソース又はドレインの一方は、

外部電源、内部電源、又は接地電位のいずれかに接続された半導体集積回路であって、

MISトランジスタが前記MOSトランジスタ（28）に隣接して設けられ、

前記MISトランジスタのソース又はドレインの一方を前記MOSトランジスタ（28）のゲートに接続し、前記MISトランジスタのソース又はドレインの他方を前記MOSトランジスタ（28）のソース又はドレインの前記一方に接続し、

前記MISトランジスタは、前記MOSトランジスタ（28）のゲート酸化膜より厚いゲート絶縁膜を有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特に、静電破壊を防止することができる半導体集積回路に関する。

【0002】

【従来の技術】一般に、半導体集積回路では、その集積度の上昇と共に、静電放電による破壊が問題となっている。このような静電放電による静電破壊を解析するために、人体モデル（human body model）、デバイス帯電モデル（charged device model）、及び、パッケージ帯電モデル（charged package model）等が使用されている。これらのいずれのモデルにおいて、静電破壊が生じないことが望ましいが、近年、特に、デバイス帯電モデル及びパッケージ帯電モデルにおける静電放電耐量の向上が望まれている。通常、デバイス帯電モデル及びパッケージ帯電モデルでは、600V程度の静電放電耐量を持つことが要求されている。

【0003】特開平7-169962号公報では、上記した静電放電による静電破壊を防止するために、外部端子に接続された出力MOSFETのゲートと外部端子との間に、当該出力MOSFETのチャンネル長と同じか、又は、それより長いチャンネル長を有する保護用MOSFETを接続した半導体装置が提案されている。この構成では、保護用MOSFETのゲートに、適切な電位を印加しておくことにより、通常動作の際には、当該保護用MOSFETをオフ状態にしておき、この状態で、異常電圧が印加されると、保護用MOSFETがオ

ン状態となって、出力MOSFETの酸化膜破壊を防止することができる。

【0004】又、特開昭63-181469号公報では、入力と入力MOSトランジスタとが離間して設けられている場合に、保護用MOSFETを入力MOSトランジスタの近傍に設け、この保護用MOSFETを入力用MOSトランジスタのゲートとソースとに接続している。これにより、入力にサージ電圧が印加された場合に、接地配線の抵抗が原因で、入力MOSトランジスタのゲート絶縁膜に高い電圧が加わり、静電破壊するのを防止している。

【0005】一方、最近、高速仕様のDRAM等の半導体集積回路では、入出力パッドと内部回路との間に、MISトランジスタによって構成されたトランスファゲートが設けられる場合がある。この場合、MISトランジスタのゲートは電源配線に接続されると共に、MISトランジスタのドレインは内部回路に接続され、且つ、ソースは抵抗を介して入出力パッド、即ち、外部端子に接続されている。また、入出力パッドと接地間には、静電放電による静電破壊を防止するために、ダイオード等の保護素子が設けられている。

【0006】このように、トランスファゲートを接続する理由は、振幅の大きさを制限すると共に、内部回路との動作タイミングの調整、並びに、静電放電による影響を軽減するためである。

【0007】

【発明が解決しようとする課題】しかし、上述した特開平7-169962号公報の技術では、保護されるべき出力MOSFETに対応して、2つの保護用MOSFETを設ける構成では、保護されるべき出力トランジスタの数が多くなればなるほど、保護用MOSFETの数も増加させる必要があるため、回路構成が複雑になると共に、集積度の低下をも招く結果になってしまうという欠点がある。

【0008】更に、保護用MOSFET自体が破壊するモードがあり、この対策のために、回路がより複雑になる。又、上述した特開昭63-181469号公報の技術についても、保護用MOSFETが破壊されることがある。すなわち、この技術は人体モデルでは有効であるものの、デバイス帯電モデルのように極めて高速な放電においては、しばしば保護MOSFETが破壊される。

【0009】他方、入出力パッド毎にトランスファゲートを設けた半導体集積回路では、本発明者等の観測によれば、デバイス帯電モデルによる試験の際、緩やかに帯電された電荷が急激に放電されると、トランスファゲートを構成するMISトランジスタのゲート絶縁膜が、静電放電によって破壊され易いことが判明した。この場合におけるMISトランジスタのゲート絶縁膜破壊は、入出力パッドと接地間に保護素子を設けても、防止できなかった。

【0010】そこで、本発明は、デバイス帯電モデル試験に要求される静電放電耐量を持つ保護素子を提供することを課題としている。

【0011】又、本発明は、集積度の低下を最小限に抑えることができる保護素子としてのクランプ素子を提供することを課題としている。

【0012】又、本発明は、トランスファゲートを備えた半導体集積回路において、絶縁膜の破壊を防止できる保護素子を備えた半導体集積回路を提供することを課題としている。

【0013】

【課題を解決するための手段】上記の課題を解決するための本発明の半導体集積回路は、入出力パッドと、前記入出力パッドに接続された保護回路と、前記保護回路に接続されたトランスファゲートと、前記トランスファゲートに接続された内部回路とを直列接続した半導体集積回路であって、前記トランスファゲートに、クランプ素子を接続するようにしている。

【0014】又、本発明の半導体集積回路は、入出力パッドと、前記入出力パッドに接続された抵抗と、前記抵抗に接続されたトランスファゲートと、前記トランスファゲートに接続された保護回路と、前記保護回路に接続された内部回路と直列接続した半導体集積回路であって、前記トランスファゲートに、クランプ素子を接続するようにしている。

【0015】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【0016】図1は、本発明の第1実施形態の半導体集積回路のブロック図である。図に示すように、第1実施形態の半導体集積回路は、入出力パッド10と、入出力パッド10に接続された保護回路15と、保護回路15に接続されたトランスファゲート18と、トランスファゲート18に接続された内部回路11とを直列接続した半導体集積回路である。そして、トランスファゲート18に、クランプ素子20を接続している。

【0017】ここに、入出力パッド10は、入力パッド或いは出力パッドに置き換えられても良い。

【0018】又、保護回路15は、ダイオード等の保護素子16及び抵抗17とからなり、この保護回路15の入出力端子は、抵抗17の両端子であり、入出力パッド10と抵抗17との接続点に保護素子16の一端が接続されており、保護素子16の他端は接地されている。

【0019】トランスファゲート18としては、MISトランジスタ又はMOSトランジスタが好適である。トランスファゲート18のゲートは、図示しない外部電源、図示しない内部電源、又は図示しないクロック回路から電圧 $V_g$ を供給されている。

【0020】クランプ素子20としては、ダイオード、バイポーラトランジスタ、MISトランジスタ等が好適

に用いられる。クランプ素子20としてバイポーラトランジスタを用いる場合には、バイポーラトランジスタのエミッタ又はコレクタのいずれか一方をトランスファゲート18のゲートとに接続し、バイポーラトランジスタのエミッタ又はコレクタのいずれか他方をトランスファゲート18のソース又はドレインのいずれかに接続する。又、クランプ素子20として、MISトランジスタを用いる場合には、MISトランジスタのソース又はドレインのいずれか一方をトランスファゲート18のゲートとに接続し、MISトランジスタのソース又はドレインのいずれか他方をトランスファゲート18のソース又はドレインのいずれかに接続する。

【0021】以上、第1実施形態の半導体集積回路の構成について説明した。次に、この第1実施形態の半導体集積回路の動作について説明する。

【0022】まず、クランプ素子20が接続されていない場合でも、人体モデル(human body model)では、入出力パッド10に静電電圧が印加されると、この電圧は保護素子16によってクランプされるため、内部回路11に対して過大な電圧が印加されるのを防止する。

【0023】また、通常動作時には、トランスファゲートであるトランスファゲート18が保護素子16に接続されているため、MISトランジスタに与えられるノイズの影響を低減できると共に、入出力パッド10からの入力信号の振幅を制限することができる。

【0024】このような構成を採用した場合、デバイス帯電モデル(charged device model)では、デバイスを緩やかに充電して、特定のピン、たとえば入出力パッド10から急速に放電する。すなわち、充電が緩慢であるので、デバイス内のあらゆる節点、たとえば図1中のすべての節点は充電された状態となり、その後、入出力パッド10から急速に放電する。したがって、入出力パッド10に直接接続された各節点も急速に放電される。これに対して、電源ラインの放電には時間を要するため、トランスファゲート18のゲートに過大な電圧がかかる結果、トランスファゲート18が静電破壊を被ることになる。

【0025】本発明者は、このゲート絶縁膜の破壊の現象が、前述したように、トランスファゲート18のゲートに接続される配線の容量に蓄積された電荷に起因していることを究明し、これを防止する手段を見出した。即ち、図示された例では、トランスファゲート18のソース及びゲート間に、クランプ素子20を接続し、このクランプ素子20により、ゲート絶縁膜の破壊を防止している。このように、クランプ素子20を接続することにより、ゲートに接続された配線上の電荷が急激に放電される場合にも、トランスファゲート18のゲート電圧の急激な変化を防止することにより、トランスファゲート18の破壊を防止できる。

【0026】次に、図2は、本発明の第2実施形態の半

導体集積回路の回路図である。図2に示すように、第2実施形態の半導体集積回路は、入出力パッド10と、入出力パッド10に接続された抵抗31と、抵抗31に接続されたトランスファゲート41と、トランスファゲート41に接続された保護回路15と、保護回路15に接続された内部回路11とを直列接続した半導体集積回路である。そして、トランスファゲート(第1NMOSトランジスタ)41には、クランプ素子(NPNバイポーラトランジスタ)42を接続している。

【0027】また、内部回路11には、NチャンネルMOSトランジスタ28のゲートとドレインとの間に接続されたバイポーラトランジスタ29が設けられている。

【0028】又、保護回路15は、抵抗32とMOSトランジスタ26を含んでいる。

【0029】又、抵抗31と抵抗32の共通接続点には、ドライブ用NMOSトランジスタ36及び負荷用NMOSトランジスタ37のドレイン及びソースが接続されている。また、負荷用NMOSトランジスタ37のゲートには、NMOSトランジスタ41のドレインが接続されており、更に、NMOSトランジスタ41のソースは抵抗31と抵抗32の共通接続点に接続されている。

【0030】ここで、ドライブ用NMOSトランジスタ36のゲートには出力制御回路からの制御出力Bが入力され、負荷用NMOSトランジスタ37のゲートには出力制御回路からの制御出力Aが入力されている。この出力制御回路は内部回路11の出力を入出力パッド10に出力させるための制御回路である。したがって、制御出力A、Bのいずれか一方をハイレベルとすれば足りるが、両方ともローレベルとしてもよい。但し、制御出力A、B共にハイレベルとすることは好ましくない。その理由は、ドライブ用NMOSトランジスタ36及び負荷用NMOSトランジスタ37が共にオン状態なり、消費電力を増加させるからである。

【0031】トランスファゲート41は図1に示されたトランスファゲート18と同様な動作を行い、且つ、そのソース、ゲート間には、NPNトランジスタ42のエミッタ及びコレクタが接続されている。このようなNPNトランジスタ42は、図1のクランプ素子20と同様な動作を行うことができる。尚、図示された例では、トランスファゲート41のゲートとNPNバイポーラトランジスタ42のコレクタは共通に抵抗43に接続されており、この抵抗43を介して接地されている。

【0032】又、図2において、入出力パッド10と、内部回路11は、特開昭63-181469号公報同様に互いに離間して設けられ、入出力パッド10と、内部回路11とは、配線を介して接続されている。バイポーラトランジスタ29は、MOSトランジスタ28のゲートとソースの間に接続され、且つ互いに隣接して配置されている。図2では、MOSトランジスタ28のソースは、接地電位に接続されているが、内部電源電位や外部

電源電位の場合でも同様に、本発明の半導体集積回路は、パッケージ帯電モデルやデバイス帯電モデルにおいて、破壊しにくい半導体集積回路である。バイポーラトランジスタ29は、MOSトランジスタ28よりも厚いゲート酸化膜を有するMISトランジスタに置き換えても同様である。

【0033】以上、NチャンネルMOSトランジスタを用いて、第2実施形態を説明したが、NチャンネルMOSトランジスタに替えて、PチャンネルMOSトランジスタ又はPチャンネルMISトランジスタを用いてもよい。

【0034】又、クランプ素子20として、バイポーラトランジスタを使用する場合について説明したが、トランスファゲート41としてのNMOSトランジスタのゲート酸化膜より厚いゲート絶縁膜を有するMOSトランジスタ又はMISトランジスタを使用しても良い。

【0035】以上、本発明の第1及び第2実施形態について説明したが、本発明はこれに限らず、抵抗17、31、43はコンタクト抵抗、配線抵抗等であってもよい。

【0036】

【発明の効果】以上説明した本発明によれば、トランスファゲートとしてのMISトランジスタにクランプ素子を接続することにより、デバイス帯電モデル試験の際における当該MISトランジスタの絶縁破壊を防止できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の半導体集積回路のブロック図。

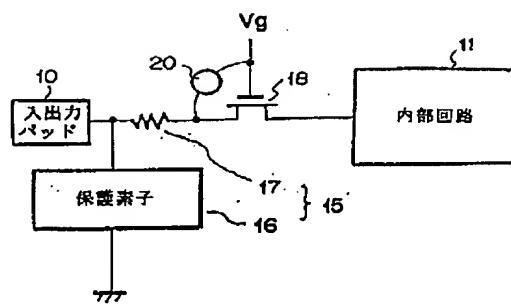
【図2】本発明の第2実施形態の半導体集積回路の回路図。

【符号の説明】

- 10 パッド
- 11 内部回路
- 15 保護回路
- 16 保護素子
- 17 抵抗
- 18 トランスファゲート
- 20 クランプ素子
- 26 MOSトランジスタ
- 27 PチャンネルMOSトランジスタ
- 28 NチャンネルMOSトランジスタ
- 29 バイポーラトランジスタ
- 31 抵抗
- 32 抵抗
- 36 第3NMOSトランジスタ
- 37 第2NMOSトランジスタ
- 41 第1NMOSトランジスタ(トランスファゲート)
- 42 バイポーラトランジスタ(クランプ素子)



【図1】



【図2】

